



CAMPUS DE LA UNA
SAN LORENZO-PARAGUAY

UNIVERSIDAD NACIONAL DE ASUNCIÓN
FACULTAD POLITÉCNICA
DIRECCIÓN DE INVESTIGACIÓN

Anexo I
Plantilla de Presentación de Propuestas

UNIVERSIDAD NACIONAL DE ASUNCIÓN
Facultad Politécnica

CONVOCATORIA PARA PRESENTACIÓN DE
PROYECTOS DE INVESTIGACIÓN
2025

FORMULARIO DE PRESENTACIÓN

PERFIL DEL PROYECTO

1. Título del Proyecto.

Hardware Evolutivo: tendencias, desafíos y direcciones futuras.

Investigador/a Principal Prof. MSc. Federico Fernández Gómez

Co-investigador: Miguel Ángel Rodríguez

2. Resumen del proyecto

En todos los ámbitos tecnológicos hay una evolución vertiginosa hacia la inteligencia artificial lo que conlleva la necesidad de la utilización de hardware más veloz, paralelismo, reconfiguración del hardware, ejecución de algoritmos evolutivos, optimización, multiprocesamiento, ahorro en el consumo energético, etc. Los microprocesadores y microcontroladores clásicos han respondido hasta hace poco tiempo a estas exigencias, pero la aparición de las FPGAs han supuesto una evolución notable desde el punto de vista del diseño de circuitos electrónicos ya que en estos dispositivos lo que se programa es hardware. Por tanto, a diferencia de los circuitos clásicos se puede realizar un diseño a medida de las necesidades y volver a diseñar para otra aplicación o su optimización. Esta ventaja ha tenido una evolución aun mayor con la aparición de la reconfiguración parcial dinámica, mejorando las tecnologías relacionadas al mantenimiento y corrección de circuitos que no se pueden acceder fácilmente ya sea por su ubicación geográfica, por estar en una zona peligrosa o de difícil acceso, etc. La aparición del hardware evolutivo es un paso más en ese sentido ya que además de la utilización de las ventajas que presenta la reconfiguración parcial dinámica, se utilizan algoritmos de inteligencia artificial, como algoritmos genéticos, para facilitar la búsqueda de diseños electrónicos óptimos según especificaciones requeridas de circuitos electrónicos o para adaptarse a cambios en el entorno del mismo de tal forma que se adapten automáticamente a problemas específicos o entornos cambiantes mediante procesos inspirados en la evolución biológica. Los fundamentos incluyen el diseño autónomo en la que el hardware evoluciona a través de iteraciones de selección, mutación y cruce, optimizando su estructura o comportamiento para cumplir con objetivos definidos utilizando plataformas como FPGAs que permiten modificar la arquitectura del hardware dinámicamente. Mediante algoritmos genéticos o de programación genética se generan y evalúan poblaciones de configuraciones de hardware, seleccionando las más aptas según una función de fitness, lo que permite que el hardware evolutivo puede adaptarse a fallos o cambios en el entorno, reconfigurándose para mantener su funcionalidad.

El hardware evolutivo tiene aplicaciones en diversas áreas, especialmente donde se requiere adaptabilidad y robustez como la robótica gracias al diseño de controladores adaptativos que operan en entornos impredecibles. Los sistemas empotrados gracias a la optimización de hardware en



UNIVERSIDAD NACIONAL DE ASUNCIÓN
FACULTAD POLITÉCNICA
DIRECCIÓN DE INVESTIGACIÓN

CAMPUS DE LA UNA
SAN LORENZO-PARAGUAY

dispositivos IoT para mejorar eficiencia energética y funcionalidad. El procesamiento de señales debido a la adaptación de circuitos para aplicaciones como filtrado de señales o reconocimiento de patrones en tiempo real. También es muy importante en los sistemas tolerantes a fallos en satélites o naves espaciales que pueden reconfigurarse ante daños por radiación. Igualmente en aplicaciones en medicina para el diseño de hardware para dispositivos médicos personalizados, como prótesis o implantes que se adaptan al usuario. Por último las aplicaciones en ciberseguridad para el desarrollo de sistemas que evolucionan para contrarrestar amenazas dinámicas, como ataques a redes.

Palabras Clave: Hardware Evolutivo, Reconfiguración, FPGA, inteligencia artificial

3. Equipo de investigadores

Nombre	Formación / grado académico	Sede/Grupo de Investigación/ Carrera	Función y actividad en el proyecto
Federico Fernández Gómez	Máster	San Lorenzo/Grupo de Ensayos de Materiales Metálicos (GEMM)/ Ingeniería en Materiales	Investigación Principal. Selección de bibliografía, Supervisión de la realización de los resúmenes de los artículos seleccionados, supervisión de la realización del artículo final.
Miguel Ángel Rodríguez	Estudiante de la carrera de Ingeniería en Materiales FP-UNA	San Lorenzo/ Grupo de Ensayos de Materiales Metálicos (GEMM)/ Ingeniería en Materiales	Investigador en formación. Realización de los resúmenes de los artículos seleccionados

4. Área y especialidad de la propuesta

Este proyecto se encuentra dentro del área priorizada por el Consejo Nacional de Ciencia y Tecnología: Industrial/Manufacturero/Construcción. Se encuentra encuadrada en el Tema Prioritario: Robótica y Automatización.

Igualmente, se encuentra dentro del Plan de Desarrollo, PND 2030; Eje 2 – Crecimiento económico inclusivo.

De la misma forma se encuentra dentro del Plan Estratégico Institucional de la Facultad Politécnica y los Objetivos de Desarrollo Sostenible. Dentro de la Perspectiva de Resultados y Grupos de Interés. Entre los objetivos estratégicos los números:



UNIVERSIDAD NACIONAL DE ASUNCIÓN
FACULTAD POLITÉCNICA
DIRECCIÓN DE INVESTIGACIÓN

CAMPUS DE LA UNA
SAN LORENZO-PARAGUAY

2 Incrementar de manera sostenida la producción científica y tecnológica y
3 Impulsar la transferencia de Conocimientos, tecnologías y experiencias que contribuyan a dar soluciones a distintos sectores de la sociedad.

Desde el punto de vista de las Perspectivas de los Procesos en Investigación, Desarrollo Tecnológico e Innovación:

- 11 Fortalecer programas y líneas de Investigación, Desarrollo e Innovación (I+D+I).
- 12 Propiciar la articulación de un sistema de gestión de conocimientos, transferencias de tecnologías, resultados de investigación y el emprendedurismo.
- 13 Fortalecer los sistemas de divulgación científica.

Desde la Perspectiva de Aprendizaje y Conocimiento.

APRENDIZAJE Capital: Humano

- 19 Fortalecer programas de desarrollo para Talento Humano

APRENDIZAJE Capital: Tecnológico

- 21 Fortalecer la infraestructura laboratorios y de soporte tecnológico (TICs, SIG y telemáticos).

APRENDIZAJE Capital: Científico de la Información

- 23 Impulsar la cultura de la información y comunicación interna y externa.
- 24 Impulsar la cultura de la investigación.

Y finalmente en el Punto 2 de los ejes estratégicos Investigación, Desarrollo Tecnológico e Innovación (I+D+I).

5. Objetivos del proyecto

Objetivo general

Analizar trabajos científicos de manera sistemática, los avances más relevantes en el campo del hardware evolutivo, identificando las principales tendencias tecnológicas, los desafíos actuales en diseño y aplicación, así como las posibles direcciones futuras de investigación y desarrollo.

Objetivos específicos.

5.1 - Caracterizar los fundamentos conceptuales y arquitectónicos del hardware evolutivo, incluyendo sus orígenes, principios de diseño y mecanismos de adaptación dinámica.

5.2 - Identificar y clasificar las principales tendencias tecnológicas en hardware evolutivo, con énfasis en el uso de FPGAs, sistemas reconfigurables y algoritmos evolutivos.

5.3 - Analizar los desafíos actuales en el diseño, implementación y escalabilidad de soluciones basadas en hardware evolutivo, considerando limitaciones computacionales, de eficiencia energética y robustez.

5.4 - Explorar las aplicaciones más relevantes del hardware evolutivo en dominios como aeroespacial, robótica, telecomunicaciones y sistemas embebidos.

5.5 - Proponer posibles líneas de investigación futura y oportunidades de mejora, considerando el estado del arte y las brechas detectadas en la literatura científica actual.

6. Resultados esperados y los medios para verificarlos

- 6.1. Una sistematización clara de los conceptos clave asociados al hardware evolutivo, incluyendo su definición, componentes, tipos de arquitecturas y metodologías de diseño.
- 6.2. Una clasificación actualizada de las tendencias tecnológicas emergentes en el campo, sustentada en una revisión crítica de publicaciones recientes y casos de aplicación destacados.
- 6.3. La identificación de desafíos técnicos y científicos que limitan la adopción y escalabilidad del hardware evolutivo en distintos contextos de ingeniería y tecnología.
- 6.4. Un mapeo de aplicaciones prácticas donde el hardware evolutivo ha demostrado ventajas competitivas, incluyendo sus beneficios, limitaciones y requisitos específicos.
- 6.5. Un conjunto de recomendaciones y perspectivas de investigación futura, orientadas a guiar a investigadores, ingenieros y desarrolladores en el avance de esta línea de trabajo.
- 6.6. La redacción y presentación de un artículo científico tipo revisión sistemática o estado del arte, con calidad suficiente para ser sometido a una revista indexada en ingeniería, computación o tecnologías emergentes.

7. Antecedentes y Justificación

La utilización del hardware evolutivo puede llevar a al diseño de circuitos más eficientes y adaptativos, capaces de ajustarse a diferentes condiciones operativas, siendo este factor relevante en aplicaciones donde la flexibilidad y la adaptabilidad son muy importantes. En [1] [2] se verifica que uno de los campos más prometedores es la auto-reparación del hardware, donde los sistemas evolutivos puedan detectar y corregir sus propios fallos de manera dinámica. En [3] se observa una técnica de diseño de circuitos autoadaptativos que utiliza hardware evolutivo para mejorar la tolerancia a fallos mediante la autoorganización y autoadaptación dinámica en respuesta a cambios en el entorno y a los fallos del circuito. Igualmente en [4] se describe un estudio que compara dos enfoques para controlar el movimiento de un robot hexápodo mediante un controlador de hardware evolutivo y una red neuronal artificial, verificándose que ambos controladores lograron resultados similares en términos de rendimiento. Sin embargo, el controlador de hardware evolutivo mostró una mayor eficiencia evolutiva. En [5] se presenta un sistema basado en hardware evolutivo para optimizar el algoritmo AES (Advanced Encryption Standard), utilizando un algoritmo genético. Los resultados muestran que los algoritmos evolutivos son más eficientes, logrando una alta tasa de éxito en pruebas de aleatoriedad. En [6] se presenta una metodología de diseño para sistemas adaptativos basados en la evolución directa de bloques de configuración (CB) en FPGAs, permitiendo reducir la dependencia de herramientas de diseño externas y disminuir el consumo de recursos, tiempo y energía del sistema, mejorando la adaptabilidad del sistema modelando la relación entre los recursos de FPGA y los CBs. En [7] se discute la integración de algoritmos de aprendizaje por refuerzo (RL) con algoritmos genéticos (GA) para mejorar las operaciones de



CAMPUS DE LA UNA
SAN LORENZO-PARAGUAY

UNIVERSIDAD NACIONAL DE ASUNCIÓN
FACULTAD POLITÉCNICA
DIRECCIÓN DE INVESTIGACIÓN

hardware evolutivo, destacándose que tiene la capacidad de adaptarse y reestructurarse de manera autónoma, factor de mucha utilidad en entornos complejos como la exploración espacial y submarina, donde la intervención humana es limitada. En [8] se aborda la escalabilidad de las arquitecturas del hardware evolutivo mediante la comparación de dos topologías: arreglos sistólicos (SA) y programación genética cartesiana (CGP), verificándose que los arreglos sistólicos son más eficientes en el uso de recursos en comparación con la programación genética cartesiana. En [9] se aborda la evolución de circuitos digitales complejos utilizando la Evolución Gramatical (GE) en el contexto de System Verilog. Este método no solo mejora la eficiencia del proceso de diseño, sino que también abre nuevas posibilidades para la creación de circuitos más complejos y optimizados. En [10] Se utilizan técnicas de computación evolutiva para diseñar controladores que optimicen el rendimiento de sistemas mecatrónicos permitiendo una mayor eficiencia y adaptabilidad en la implementación de soluciones. En [11] el hardware evolutivo se utiliza para aplicar algoritmos evolutivos al hardware con el fin de diseñar, mejorar o adaptar circuitos mediante la combinación de la manipulación directa del bitstream de las FPGAs, lográndose una aceleración en la reconfiguración de FPGA permitiendo realizar experimentos complejos de hardware evolutivo. En [12] se describen múltiples optimizaciones aplicadas a un sistema de hardware evolutivo con el objetivo de acelerar su evolución. Se destacan mejoras en el hardware, algoritmos evolutivos (EA) y técnicas de paralelización, logrando un aumento total de la velocidad de evolución.

8. Materiales y Métodos

El proyecto consistirá en la revisión bibliografía exhaustiva de los artículos relacionados al hardware evolutivo publicados en revistas de alto impacto. Una vez elegidos los artículos a ser revisados se los clasificará según las tendencias tecnológicas, los desafíos actuales en cuanto a la implementación y escalabilidad identificando y clasificando las tendencias tecnológicas en la utilización de esta tecnología y el análisis de los desafíos actuales considerando limitaciones computacionales, de eficiencia energética y robustez, sus aplicaciones más relevantes y la determinación de posibles líneas de investigación futuras.

9. Relevancia de la propuesta

El proyecto busca fortalecer la línea de investigación del Grupo de Ensayos de Materiales Metálicos dentro de la Diseño de instrumentos basados en tecnologías reconfigurables. Este objetivo es de vital importancia porque en el GEMM tenemos conciencia que debemos desarrollar nuestras propias tecnologías para el desarrollo de herramientas para de esta forma reducir el costo de adquisición de los mismos. Además el área de del hardware evolutivo es de suma actualidad siendo una de los áreas que envuelve al hardware reconfigurable y los algoritmos evolutivos. Igualmente el proyecto contribuirá a la formación de recursos humanos que puedan desarrollar esta tecnología.

10. Plan del trabajo

Tiempo de duración en meses:



UNIVERSIDAD NACIONAL DE ASUNCIÓN
FACULTAD POLITÉCNICA
DIRECCIÓN DE INVESTIGACIÓN

CAMPUS DE LA UNA
SAN LORENZO-PARAGUAY

Inicio del proyecto: 01/06/2025

Finalización del proyecto: 30/11/2025

Resultado esperado	Actividades principales	Indicadores de éxito	Medios de Verificación	Supuestos/imponderables	Tiempo de ejecución (semana N°) 26 semanas
Selección de la bibliografía a ser utilizada	Búsqueda de la bibliografía a ser utilizada en revistas de alto impacto	Informe	Informe	ninguno	1 – 4
Sistematización de los conceptos asociados al hardware evolutivo.	Revisión bibliográfica de los conceptos claves asociados al hardware evolutivo	Informe	Informe	ninguno	5 – 10
Una clasificación actualizada de las tendencias tecnológicas emergentes en el campo	Revisión bibliográfica de las tendencias emergentes en el campo del hardware evolutivo	Informe	Informe	ninguno	11 – 15
La identificación de desafíos técnicos y científicos	Revisión bibliográfica a fin de identificar desafíos técnicos y científicos.	Informe	Informe	ninguno	16 – 18
Un mapeo de aplicaciones prácticas del hardware evolutivo.	Revisión bibliográfica a fin de realizar un mapeo de aplicaciones prácticas del hardware evolutivo.	Informe	Informe	ninguno	19 – 20



UNIVERSIDAD NACIONAL DE ASUNCIÓN
FACULTAD POLITÉCNICA
 DIRECCIÓN DE INVESTIGACIÓN

CAMPUS DE LA UNA
SAN LORENZO-PARAGUAY

Un conjunto de recomendaciones y perspectivas de investigación futura.	Realización de recomendaciones y perspectivas de investigación futura.	Informe	Informe	ninguno	21 – 22
La redacción y presentación de un artículo científico, con calidad suficiente para ser sometido a una revista indexada en ingeniería, computación o tecnologías emergentes.	Escritura de memoria, Paper y presentación a sometimiento a revisión a revistas indexadas.	Memoria y Paper terminados	Memoria y Paper entregados	ninguno	23 - 27

11. Presupuesto

	Descripción del bien o servicio	Especificaciones básicas	Actividad	Subtotal Guaraníes
1	Sometimiento del Paper a revisión en revista especializada	Envío a revisión por pares en revista especializada	Pago de aranceles de publicación en revista	8.000.000
1	Remuneración	Remuneración a investigador en formación Gs. 1.000.000 (un millón de guaraníes)	Desarrollo de las tareas relacionadas a la ejecución del proyecto	1.000.000
	Total			9.000.000



CAMPUS DE LA UNA
SAN LORENZO-PARAGUAY

UNIVERSIDAD NACIONAL DE ASUNCIÓN

FACULTAD POLITÉCNICA

DIRECCIÓN DE INVESTIGACIÓN

12. Estrategia de comunicación

Los resultados de investigación serán publicados en revistas científicas indexadas y/o presentadas en eventos académicos o científicos nacionales o internacionales.

- 1 - Presentación de los avances del proyecto en congresos y seminarios nacionales.
- 2 - Publicación de los resultados del proyecto en revistas nacionales.
- 3 – Presentación en revistas internacionales de los resultados finales del proyecto.
- 4 - Presentación en evento al público en general para socializar los resultados de la investigación.

13. Referencias bibliográficas

- [1] X. Yao, Guest Editor Following the Path of Evolvable Hardware ACM Digital Library <https://dl.acm.org> > doi > pdf
- [2] X. Yao and T. Higuchi, "Promises and challenges of evolvable hardware," in *IEEE Transactions on Systems, Man, and Cybernetics, Part C (Applications and Reviews)*, vol. 29, no. 1, pp. 87-97, Feb. 1999, doi: 10.1109/5326.740672.
- [3] J. B. Zhang, J. Y. Cai, Y. F. Meng, T. Z. Meng, (2016). A novel self-adaptive Circuit design technique based on evolvable hardware. *International Journal of Automation and Computing*. 17. 10.1007/s11633-016-1000-8.
- [4] F. Borrett, M. Beckerleg. (2023). A comparison of an evolvable hardware controller with an artificial neural network used for evolving the gait of a hexapod robot. *Genetic Programming and Evolvable Machines*, 24 (5), 1-20. <https://doi.org/10.1007/s10710-023-09452-4>
- [5] B. C. Manjith, "Hardware evolution of AES algorithm on FPGA," 2019 Innovations in Power and Advanced Computing Technologies (i-PACT), Vellore, India, 2019, pp. 1-5, doi: 10.1109/i-PACT44901.2019.8960105
- [6] R. Yao, J. Liang, S. Qian, X. Zhang, X. Tian. (2023). Efficient design methodology for adaptive system based on direct bitstream evolution. *IEICE Electronics Express*, 20(13), 20220518-20220518.
- [7] M. Zhu, S. Yi, C. Yang and R. Feng, "Research on RLGA-based Hardware Evolution Optimization Technology," 2020 15th IEEE Conference on Industrial Electronics and Applications (ICIEA), Kristiansand, Norway, 2020, pp. 188-193, doi: 10.1109/ICIEA48937.2020.9248179. keywords:
- [8] J. Mora, R. Salvador, E. Torre. 2019. On the scalability of evolvable hardware architectures: comparison of systolic array and Cartesian genetic programming. *Genetic Programming and Evolvable Machines* 20, 2 (June 2019), 155–186. <https://doi.org/10.1007/s10710-018-9340-5>
- [9] M. Tetteh, D.M. Dias, C. Ryan. Grammatical Evolution of Complex Digital Circuits in SystemVerilog. *SN COMPUT. SCI.* 3, 188 (2022). <https://doi.org/10.1007/s42979-022-01045-9>
- [10] K. Kojima. (2022). Automatic VHDL description for mechatronics system by using evolutionary computation. In *The 10th International Conference on Computer and Communications Management (ICCCM 2022)*, July 29–31, 2022, Okayama, Japan (pp. 1-7). ACM. <https://doi.org/10.1145/3556223.3556251>
- [11] J. Hoffmann, C. Fritzsche, M. Bogdan. 2022. CoBEA: framework for evolving hardware by direct manipulation of FPGA bitstreams. In *Proceedings of the Genetic and Evolutionary Computation Conference Companion (GECCO '22)*. Association for Computing Machinery, New York, NY, USA, 112–115. <https://doi.org/10.1145/3520304.3528821>
- [12] J. Mora, E. De la Torre, Accelerating the evolution of a systolic array-based evolvable hardware system, *Microprocessors and Microsystems*, Volume 56, 2018, Pages 144-156, ISSN 0141-9331, <https://doi.org/10.1016/j.micpro.2017.12.001>